

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04333236 A**

(43) Date of publication of application: **20.11.92**

(51) Int. Cl. **H01L 21/3205**
H01L 21/302
H01L 21/316

(21) Application number: **03132068**

(22) Date of filing: **08.05.91**

(71) Applicant: **YAMAHA CORP**

(72) Inventor: **OMURA MASAYOSHI**
FUJIOKA TOSHIO

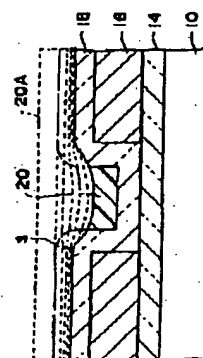
(54) **SURFACE FLATTENING METHOD**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To facilitate the control of an etching back amount in the title surface flattening method including the etching back step of a coated insulating film after the formation of the coated insulating film such as SOG(Spin on glass), etc., through the intermediary of a deposited insulating film on the surface of a substrate having a stepped part.

CONSTITUTION: A deposited insulating film 18 comprising e.g. SiO_2 , etc., is formed covering a stepped part due to a wiring 16, etc., on the surface of a semiconductor substrate 10. This insulating film 18 containing etching accelerating additive such as boron, phosphorus, etc., to increase the concentration the more the higher is formed by CVD, ion implantation step, etc. Later, when an SOG film 20 is etched back from the surface 20A side after covering the insulating film 18 to form the SOG film 20, the etching is decelerated halfway in the film 18. Furthermore, the step correspondence part S can be rounded to enhance the flatness.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-333236

(43) 公開日 平成4年(1992)11月20日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/302	L	7353-4M		
21/316	H	8518-4M		
		7353-4M	H 0 1 L 21/89	K

審査請求 未請求 請求項の数2 (全 7 頁)

(21) 出願番号 特願平3-132068

(22) 出願日 平成3年(1991)5月8日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 大村 昌良

静岡県浜松市中沢町10番1号ヤマハ株式会社内

(72) 発明者 藤岡 俊夫

静岡県浜松市中沢町10番1号ヤマハ株式会社内

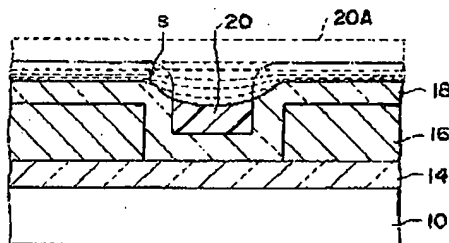
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 表面平坦化法

(57) 【要約】

【目的】 段差部を有する基板上面に堆積絶縁膜を介してSOG (スピノンガラス) 等の塗布絶縁膜を形成した後この塗布絶縁膜をエッチバックすることを含む表面平坦化法において、エッチバック量の制御を容易にする。

【構成】 半導体基板10の上面に配線16等に基づく段差部を有するSIO₂等の堆積絶縁膜18を形成する。この絶縁膜18は、上部ほど高濃度となるようにボロン、リン等のエッチング促進性添加物を含有するもので、CVD法、イオン注入法等により形成する。その後、絶縁膜18を覆ってSOG膜20を形成してから、SOG膜20を表面20A側からエッチバックすると、膜18の途中でエッチ速度が低下する。また、段差対応部Sが丸められ、平坦性が改善される。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 (a) 一方の主面に段差部を有する基板を用意する工程と、 (b) エッチング促進性の添加物を上部ほど高濃度で含有する堆積絶縁膜を前記段差部を覆って前記一方の主面に形成する工程と、 (c) 前記段差部に基づく凹凸を平坦化すべく前記堆積絶縁膜の上に塗布絶縁膜を形成する工程と、 (d) 前記塗布絶縁膜及び前記堆積絶縁膜をエッチバックして少なくとも該堆積絶縁膜の一部を平坦状に残存させる工程とを含む表面平坦化法。

【請求項2】 (a) 一方の主面に段差部を有する基板を用意する工程と、 (b) 前記段差部を覆って前記一方の主面に堆積絶縁膜を形成する工程と、 (c) 前記段差部に基づく凹凸を平坦化すべく前記堆積絶縁膜の上に塗布絶縁膜を形成する工程と、 (d) 前記塗布絶縁膜も前記堆積絶縁膜への添加物ドーピングが可能になるまでエッチバックする工程と、 (e) このエッチバック工程の後、少なくとも前記堆積絶縁膜に上部ほど高濃度となるようにエッチング促進性の添加物をドーピングする工程と、 (f) このドーピング工程の後、前記塗布絶縁膜及び前記堆積絶縁膜をエッチバックして少なくとも該堆積絶縁膜の一部を平坦状に残存させる工程とを含む表面平坦化法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、LSIの多層配線形成等に用いるに好適な表面平坦化法に関し、段差部を有する基板上面に堆積絶縁膜を介してSOG（スピノンガラス）等の塗布絶縁膜を形成した後この塗布絶縁膜をエッチバックする前に堆積絶縁膜に上部ほど高濃度となるようにボロン、リン等の添加物を添加することによりエッチバック量の制御を容易にしたものである。

【0002】

【従来の技術】 従来、LSI等の多層配線形成に際しては、半導体基板上に形成された絶縁膜、配線等に基づく段差を緩和又は平坦化するため、基板上面に段差部を覆って堆積絶縁膜及びSOG膜を順次に形成した後、SOG膜及び堆積絶縁膜をエッチバックする技術が用いられている。

【0003】

【発明が解決しようとする課題】 SOGのエッチバックを利用した従来の表面平坦化法にあっては、エッチバック量の制御が容易でなく、必ずしも満足いく平坦性が得られないという問題点がある。このような問題点について、図12～図19を参照して説明する。

【0004】 図12の工程では、Si等の半導体基板10の表面に選択酸化処理等によりSiO₂等のフィールド絶縁膜12を形成した後、CVD（ケミカル・ベーパー・デポジション）法等により基板上面にSiO₂等の配線下地絶縁膜14を形成する。そして、基板上面に

は、絶縁膜14を覆ってポリSi等の配線材を被覆してパターニングすることにより1層目配線16を形成する。この後、基板上面には、CVD法等により1層目配線16を覆って堆積絶縁膜18を形成する。

【0005】 次に、図13の工程では、同様の回転塗布法により基板上面に絶縁膜18を覆ってSOG膜20を形成する。図12に示す基板上面には、配線、絶縁膜等による段差や高低差が存在するが、これらの段差や高低差に基づく凹凸はSOG膜20により平坦化される。すなわち、高低差は、SOG膜20が比較的低い部分LPで厚さt1を有し且つ比較的高い部分HPで厚さt1より小なる厚さt2を有することで解消され、段差についても同様である。

【0006】 次に、図14の工程では、SOG膜20のエッチバックを行なう。図12の工程で堆積絶縁膜18としてノンドープのSiO₂膜を形成した場合、このSiO₂膜は、SOG膜20よりエッチ速度が遅い。従って、低い部分LPで絶縁膜18の上面に一致するようにエッチングを停止しても、高い部分HPでは、SOG膜20が絶縁膜18の上面レベルより深く過剰にエッチされる。

【0007】 図16は、SOG膜20が過剰エッチされる様子を示すものである。SOG膜20を表面20A側からエッチバックしていくと、SOG膜20は絶縁膜18よりエッチ速度が遅いため、図14の高い部分HP等ではSOG膜20が過剰にエッチされると共に、絶縁膜18が段差対応部Sで急峻に立上る形で残存する。この結果、平坦性が悪化する。

【0008】 また、実際のエッチバック処理では、SOG膜20のエッチングを低い部分LPで絶縁膜18の上面に丁度一致するように停止するのは困難であり、停止位置が絶縁膜18の上面レベルより若干深くなるのが過剰である。このため、平坦性は更に悪化することになる。

【0009】 次に、図15の工程では、CVD法等により基板上面にPSG（リンケイ酸ガラス）等の堆積絶縁膜22を形成する。このとき、絶縁膜22には、SOG膜20の過剰エッチ部等にてボイドQや凹部Rが形成されることがある。この後、Al又はAl合金等の配線材を絶縁膜22上に被覆してパターニングすることにより2層目の配線24を形成する。この配線形成処理では、段差対応部NSにて配線材の被覆性が劣化したり、凹部R内に配線材の一部が残存したりする不都合がある。

【0010】 ところで、図12の工程で堆積絶縁膜18としてPSG、BSG（ボロンケイ酸ガラス）又はBPSG（ボロンリンケイ酸ガラス）からなる膜を形成し、しかもこの膜のエッチ速度を図13の工程で形成するSOG膜20のエッチ速度とほぼ等しくするようにボロン、リン等の濃度を調整した場合は、図17及び図19に示すような形式でエッチバックが行なわれることがあ

る。

【0011】すなわち、SOG膜20を表面20A側からエッチバックしていくと、絶縁膜18はSOG膜20とエッチ速度がほぼ等しいためほぼ同程度にエッチングが進行する。従って、図17に示すように低い部分LPにおいて絶縁膜18の上面レベルより若干深い位置でエッチングを停止したとすると、高い部分HPでは、絶縁膜18が1層目配線16上に存在しなくなり、極端な場合には配線16が削られたりする。配線16が削られると、エッチングチャンバ内が配線材で汚染され、歩留り低下を招く不都合がある。

【0012】この後、図18の工程において、図15で述べたと同様に基板上面に堆積絶縁膜22を介して2層目の配線24を形成すると、高い部分HPでは、層間絶縁膜として絶縁膜22のみが存在する箇所が生ずることになり、絶縁膜22の低下や1層目配線のヒロック発生などにより信頼性が低下したり、配線間容量の増加により動作速度が低下したりする不都合がある。

【0013】この発明の目的は、エッチバック量を容易に制御することができる新規な表面平坦化法を提供することにある。

【0014】

【課題を解決するための手段】この発明による第1の表面平坦化法は、一方の主面に段差部を有する基板を用意する工程と、エッチング促進性の添加物を上部ほど高濃度で含有する堆積絶縁膜を前記段差部を覆って前記一方の主面に形成する工程と、前記段差部に基づく凹凸を平坦化すべく前記堆積絶縁膜の上に塗布絶縁膜を形成する工程と、前記塗布絶縁膜及び前記堆積絶縁膜をエッチバックして少なくとも該堆積絶縁膜の一部を平坦状に残存させる工程とを含むものである。

【0015】また、この発明による第2の表面平坦化法は、一方の主面に段差部を有する基板を用意する工程と、前記段差部を覆って前記一方の主面に堆積絶縁膜を形成する工程と、前記段差部に基づく凹凸を平坦化すべく前記堆積絶縁膜の上に塗布絶縁膜を形成する工程と、前記塗布絶縁膜を前記堆積絶縁膜への添加物ドーピングが可能になるまでエッチバックする工程と、このエッチバック工程の後、少なくとも前記堆積絶縁膜に上部ほど高濃度となるようにエッチング促進性の添加物をドーピングする工程と、このドーピング工程の後、前記塗布絶縁膜及び前記堆積絶縁膜をエッチバックして少なくとも該堆積絶縁膜の一部を平坦状に残存させる工程とを含むものである。

【0016】この発明において、堆積絶縁膜は、単層膜又は多層膜のいずれでもよく、単層膜の場合には添加物を上面側ほど高濃度とし、多層膜の場合には添加物を上面側ほど高濃度とする。

【0017】また、エッチバック工程では、塗布絶縁膜と堆積絶縁膜との各々の一部を平坦状に残存させてもよ

いし、あるいは塗布絶縁膜をすべて除去して堆積絶縁膜の一部を平坦状に残存させてもよい。

【0018】

【作用】上記した第1又は第2の表面平坦化法によると、堆積絶縁膜において上部ほどエッチ速度が高くなると共に下部ほどエッチ速度が低くなる。そこで、例えば堆積絶縁膜の上部がSOG等の塗布絶縁膜と同程度のエッチ速度になるようにしてエッチバックを行なうと、エッチングは堆積絶縁膜の下部に近づくほど進行速度が遅くなり、その近辺でエッチングを停止すればエッチバック量のばらつきを少なくすることができる。すなわち、エッチバック量の制御が容易となり、過剰エッチを防止できると共に良好な平坦性が得られる。

【0019】その上、第1の表面平坦化法によると、塗布絶縁膜の形成前に堆積絶縁膜に添加物を添加するので、堆積絶縁膜において下地の段差部に対応する角部近傍にも添加物の濃度勾配が形成される。このため、エッチバックの際に角部が丸められ、一層平坦性が良好となる利点もある。

【0020】

【実施例】図1～図5は、この発明を多層配線形成プロセスに適用した一実施例を示すもので、各々の図に対応する工程(1)～(6)を順次に説明する。

【0021】(1)図12で述べたと同様に半導体基板10の表面にフィールド絶縁膜12、配線下地絶縁膜14及び1層目配線16を順次に形成する。そして、基板上面には、CVD法等により配線16を覆ってノンドーパースイッチからなる堆積絶縁膜18を形成する。

【0022】(2)次に、絶縁膜18に対して例えばボロンイオン B^+ を注入する。このとき、絶縁膜18の上面側ほどボロン濃度が高くなるように加速電圧を調整しながらイオン注入を行なう。注入物質としては、 B^+ の他に、 BF_3^+ 、 P^+ 、 As^+ 等があり、これらのうち1又は複数のものを用いることができる。

【0023】(3)次に、図13で述べたと同様に絶縁膜18を覆ってSOG膜20を形成する。

【0024】(4)次に、図6に一部を拡大して示すようにSOG膜20を表面20A側からエッチバックする。このときのエッチングは、例えば絶縁膜18の上部とSOG膜20とがほぼ等しいエッチ速度となるような条件で行なうことができる。低い部分LPで絶縁膜18の上面と一致するようにSOG膜20のエッチングを停止すると、高い部分HPでは、図6に示すように絶縁膜18の上面近傍もSOG膜20とほぼ同程度にエッチされ、その後絶縁膜18のエッチ速度は徐々に遅くなる。このため、エッチング時間を一定とすれば、絶縁膜18の初期厚さがウエハ(基板)毎にばらついていても絶縁膜18のエッチング後の厚さのばらつき度合いを少なくすることができる。

【0025】また、絶縁膜18においては、下地段差に

5

対応する段差対応部Sの近傍にもボロン濃度勾配が形成されているので、図16で示したように段差対応部Sが急峻に立上った形で残ることがなく、図6に示すように段差対応部Sが丸められ、断面的に見て滑らかなスロープを示すようになる。従って、平坦性が改善される。

【0026】さらに、絶縁膜18の下部ではエッチ速度が遅いので、図19で示したように配線16が露出するまでエッチングが進行する前にエッチングを停止するのは容易であり、図19で示した過剰エッチングに伴う不都合をなくすることができる。

【0027】(5) エッチバックの後は、図15で述べたと同様にして基板上面に堆積絶縁膜22を介して2層目の配線24を形成する。この場合、絶縁膜22の下の平坦性が改善されているので、低い部分LPでの層間絶縁膜の厚さt5と高い部分HPでの層間絶縁膜の厚さt6とをほぼ等しくすることができ、2層目配線24の信頼性が大幅に向上する。

【0028】上記実施例では、図2の工程においてイオン注入法を用いて絶縁膜18中に添加物の濃度勾配を形成したが、添加物の濃度勾配を有する堆積絶縁膜18は、CVD法(常圧式、減圧式又はプラズマ式)あるいは反応性スパッタ法等でも形成可能である。

【0029】一例として、プラズマCVD法を用いてリンの濃度勾配を有する堆積絶縁膜18を形成する場合を説明する。

【0030】図1で述べたように1層目配線16の形成までの処理が終了した半導体基板10を反応室に入れ、 SiH_4 (0.24s/lm)、 N_2O (5.0s/lm) 及び N_2 (2.8s/lm) を用いてノンドープ SiO_2 を所定の厚さに堆積した後、 PH_3 を加え、その流量を徐々に増加させていく。このとき、 $\text{N}_2 + \text{PH}_3$ の流量が一定になるようにする。そして、成膜の最終時のガス条件は、 SiH_4 (0.24s/lm)、 N_2O (5.0s/lm)、 N_2 (2.73s/lm) 及び PH_3 (0.07s/lm) とする。この結果、最上部が約5mol%のリンを含み上部ほどリン濃度の高い堆積絶縁膜18が得られる。

【0031】ここに述べた方法では、 PH_3 の代りに B_2H_6 、 AsH_3 等を用いてもよい。他の方法としては、常圧CVD法(SiH_4 、 PH_3 (又は B_2H_6 、 AsH_3 等)、 O_2 、 N_2 のガスを使用)、反応性スパッタ法(SiO_2 をターゲットとして O_2 、 PH_3 (又は B_2H_6 、 AsH_3 等)の雰囲気中でスパッタを行なう)等がある。

【0032】図7及び図8は、この発明の他の実施例を示すもので、この実施例は、堆積絶縁膜18を多層膜として形成することを特徴とするものである。

【0033】図7の工程では、半導体基板10の表面に絶縁膜14を介して1層目配線16を形成した後、基板上面に配線16を覆って例えば5つの絶縁層18a~18d

6

8dを順次にCVD法等により堆積することにより堆積絶縁膜18を形成する。この場合、一例として絶縁層18aはノンドープの SiO_2 層として形成し、絶縁層18b~18dは上部ほどボロン、リン等の添加物の濃度が高くなるようにPSG、BSG又はBPSGの層として形成する。

【0034】次に、図8の工程では、絶縁膜18を覆ってSOG膜20を形成した後、これらの膜20及び18をエッチバックする。この場合、例えば絶縁層18a~18cを残存させるようにエッチングを行なうことができ、段差対応部Sに丸みを持たせることができる。従って、図1~6で述べた実施例と同様の作用効果が得られる。

【0035】図9~図11は、この発明の更に他の実施例を示すもので、この実施例は、エッチバックを2回行ない、第1エッチバックと第2エッチバックとの間で添加物ドーピングを行なうことを特徴とするものである。

【0036】図9の工程では、半導体基板10上にフィールド絶縁膜12、配線下地絶縁膜14、1層目配線16、堆積絶縁膜(例えばノンドープ SiO_2 膜)18及びSOG膜20を形成した後、高い部分HPにて絶縁膜18の一部が露出するまでSOG膜20を室温20Aからエッチバックする。この場合、エッチングは、絶縁膜18への添加物ドーピングが可能になる程度に行なうだけでもよい。

【0037】次に、図10の工程では、ボロン、リン等の添加物のイオンを絶縁膜18及びSOG膜20のエッチバック面に注入する。この場合、イオン注入は、上部ほど添加物濃度が高くなるように行なう。また、添加物ドーピングの目的は、絶縁膜18において高い部分HPに露出する部分のエッチ速度を高めることにあり、SOG膜20に対するドーピングは必要不可欠ではない。

【0038】この後、図11の工程では、2回目のエッチバックを行なう。このときのエッチングは、低い部分LPで絶縁膜18が露出した時点で停止するように行なうのが望ましい。このようにすると、高い部分HPでは、絶縁膜18の上部はエッチ速度が高いため除去されるものの、絶縁膜18の下部はエッチ速度が低いので残存し、SOG膜20の残存部と共に平坦性の良い面を形成するようになる。

【0039】

【発明の効果】以上のように、この発明によれば、SOG等の塗布絶縁膜の下に配線される堆積絶縁膜に上部ほど高濃度となるようにボロン、リン等の添加物を添加して堆積絶縁膜の下部にエッチングが進行しにくいようにしたので、エッチバック量の制御が容易となり、過剰エッチングを防止できると共に平坦性を改善できる効果が得られるものである。

【図面の簡単な説明】

【図1】~

7

【図5】 この発明を多層配線形成プロセスに適用した一実施例を示す基板断面図である。

【図6】 図4の工程におけるエッチバック状況を拡大して示す基板断面図である。

【図7】 及び

【図8】 SOG膜の下に堆積絶縁膜を多層膜として形成する他の実施例を示す基板断面図である。

【図9】 ~

【図11】 エッチバックを2回行なう更に他の実施例を示す基板断面図である。

【図12】 及び

【図15】 SOG膜と堆積絶縁膜とのエッチ速度が異

8

なる第1の従来例を示す基板断面図である。

【図16】 図14の工程におけるエッチバック状況を拡大して示す基板断面図である。

【図17】 及び

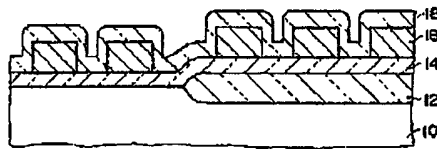
【図18】 SOG膜と堆積絶縁膜とのエッチ速度が等しい第2の従来例を示す基板断面図である。

【図19】 図17の工程におけるエッチバック状況を拡大して示す基板断面図である。

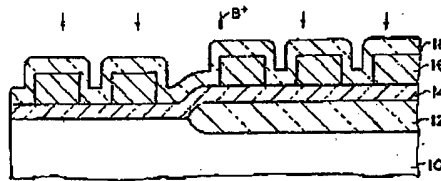
【符号の説明】

10…半導体基板、12…フィールド絶縁膜、14…配線下地絶縁膜、16…1層目配線、18、22…堆積絶縁膜、20…SOG膜、24…2層目配線。

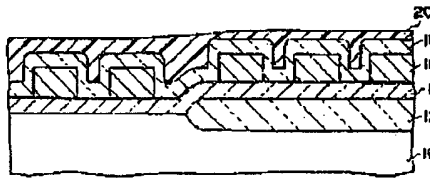
【図1】



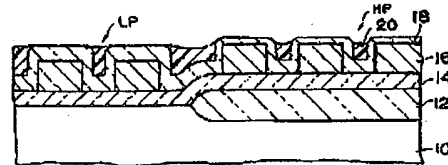
【図2】



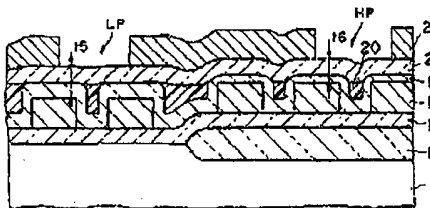
【図3】



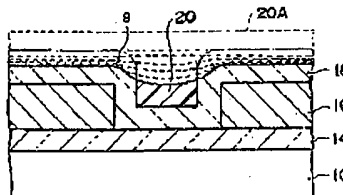
【図4】



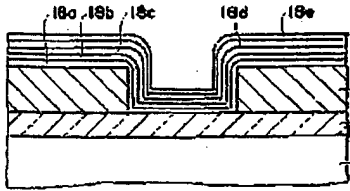
【図5】



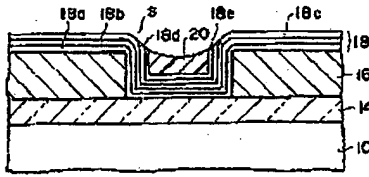
【図6】



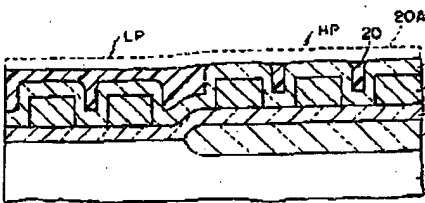
【図7】



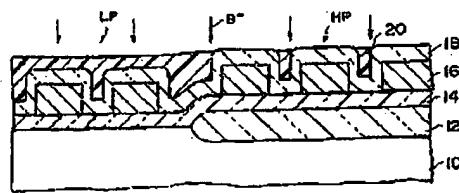
【図8】



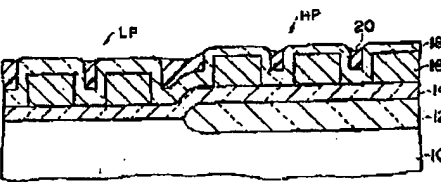
【図9】



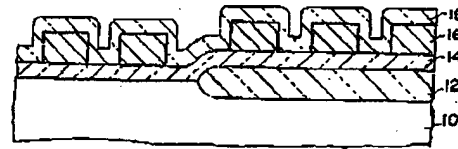
【図10】



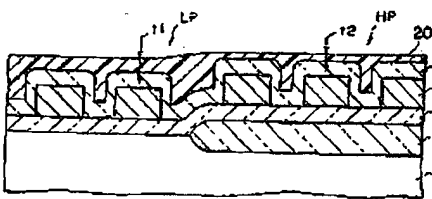
【図11】



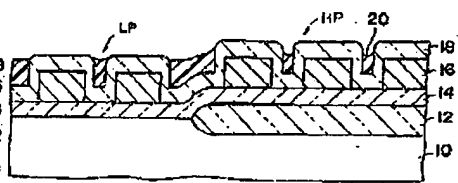
【図12】



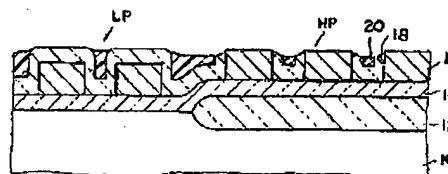
【図13】



【図14】



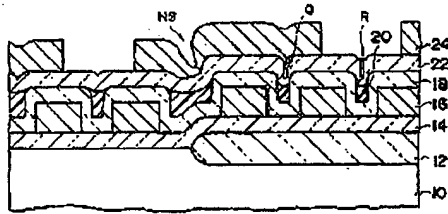
【図15】



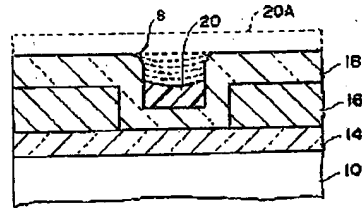
(7)

特開平4-333230

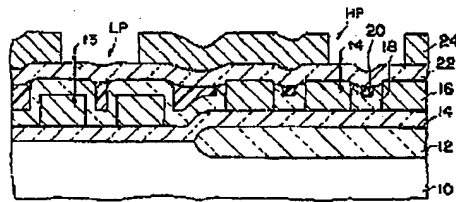
【図15】



【図16】



【図18】



【図19】

